

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-036923
 (43)Date of publication of application : 29.02.1984

(51)Int.CI.

H01L 21/02

(21)Application number : 57-147432
 (22)Date of filing : 24.08.1982

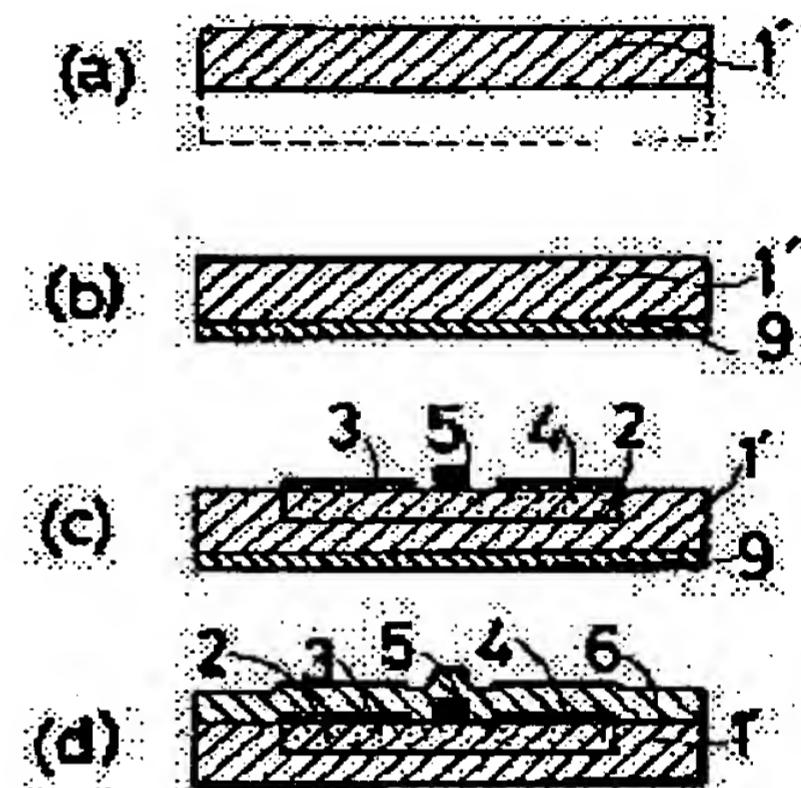
(71)Applicant : SUMITOMO ELECTRIC IND LTD
 (72)Inventor : EHATA TOSHIKI

(54) WAFER REINFORCEMENT

(57)Abstract:

PURPOSE: To prevent missing of edge part of wafer and generation of flaws by covering both rear surface and the side of wafer or only the one of them with a resin film.

CONSTITUTION: The rear surface of semiconductor crystal wafer 1' is etched and formed into a thin wafer. A reinforcing film 9 consisting of an organic resin film or inorganic compound film or composite film of organic film and inorganic film is provided to the rear surface or side or both rear surface and the side of the thin wafer 1'. Thereby, a failure rate of wafer 1' can be reduced to 2/5 of that in case no reinforcing film 9 is not used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59—36923

⑫ Int. Cl.³
H 01 L 21/02

識別記号

厅内整理番号
6679—5 F

⑬ 公開 昭和59年(1984) 2月29日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ ウエハ補強法

⑮ 特 願 昭57—147432
⑯ 出 願 昭57(1982) 8月24日
⑰ 発明者 江畠敏樹
大阪市此花区島屋1丁目1番3

号住友電気工業株式会社大阪製作所内

⑮ 出願人 住友電気工業株式会社
大阪市東区北浜5丁目15番地
⑯ 代理人 弁理士 川瀬茂樹

明細書

1 発明の名称

ウエハ補強法

2 特許請求の範囲

半導体結晶ウエハの裏面をエッティングして薄片化し、薄片化されたウエハの、裏面又は側面或は裏面と側面に、有機樹脂膜あるいは無機化合物膜、又は有機樹脂膜と無機化合物膜の複合した補強膜を形成したことを特徴とするウエハ補強法。

3 発明の詳細な説明

この発明は半導体ウエハの補強法に関する。

(ア) 半導体ウエハの厚み

Si、GaAsその他の半導体単結晶ウエハの厚みは、ウエハの大口径化に伴い増加してゆく。ウエハの自重によつて、ウエハが撓まないよう、ウエハには成る程度の厚みが必要である。撓まないための最小厚みは、ウエハの口径が大きくなるに従い増加する。

現在、1000個以上のトランジスタが高密度に集成化されたLSI(大規模集積回路)等が多数製造

されている。

半導体レーザ等のように、電流の比較的多く流れる光半導体素子も多く使われる。

LSIや半導体レーザ等の半導体素子は、微細化するに従つて、素子を流れる電流密度が大きくなる。発熱が増えるので、効率よく放熱することが重要になる。チップの厚みは薄い方が、放熱の効率がよい。

また、適用する周波数帯が増大するに従つて、基板の厚みを薄くするという要請が強くなる。

以上のように半導体ウエハは、薄い方が望ましいが、最初から薄くする事はできない。先述の自重による撓みの問題があるからである。

(イ) ウエハの薄片化工程

半導体素子の基板は薄くしなければならないので、半導体素子製作工程中に、ウエハの薄片化工程例えば、薬液による裏面のエッティングが行われる。

従来の薄片化工程について説明する。

第1図(a)～(d)は、GaAs電界効果トランジス

タ(FET)の製造工程を示す断面図である。

(a) に於て、基板1はGaAs単結晶である。ウエハのままで、多くのチップになるべきものが左右に連続しているが、簡単のため、1チップ分だけを図示した。以下(d)までウエハのままである。(a)で、基板1に、動作層2が形成されている。

(b) に於て、動作層2の上に、ソース電極3、ドレイン電極4及びゲート電極5が設けられる。FETがこのように作製された後、ウエハの表面全体に表面保護膜6を形成する。これを(c)に示す。

表面保護膜6は有機樹脂膜例えばフォトレジストを用いると良い。

次にウエハの裏面をエッティングして、厚みを200μm以下にする。(d) に於て破線はエッティングにより除去された部分を示す。

このようにして、薄片化工程(d)を経てから、ウエハをスクライブして、個々のチップに分割し、素子として組立てる。

第1図に示すものは、まずFETを作成し、これを保護するフォトレジスト等の被膜で覆つて、裏

半導体結晶ウエハを、まず厚さ200μm以下にして、FETを表面に作製する。

薄片化したままで、ウエハの機械的強度が著しく低い。製造工程中に受ける衝撃により、ウエハが簡単に割れる、という難点がある。

これを防ぐために、薄くされた基板ウエハ'1'を第2図に示すように、樹脂7で、ガラスなどの補強用基板8へ貼付ける補強法が考えられる。

しかし、これも、工程中の各種の処理、特に熱によつて接着不良が生じやすい。必ずしも、安定性ある手段とは言い難い。

いまひとつ難点があつた。基板ウエハ'1'の上にFET等を作製した後、ウエハ'1'を割らないよう、補強用基板8から剥離しなければならない。これは、技術的に高度の工夫を要するものであつた。

このように、最初に薄片化工程を行うものも、補強を必要とし、このため複雑な工程が加えられ、素子製作の歩留りを低下させること多かつた。

(エ) 本発明のウエハ補強法

本発明は、従来法に固有のこれらの問題点を解

面をエッティングする。エッティング後、表面のフォトレジストを除去するのが容易である、という利点がある。

しかし、エッティング液が保護膜6と基板1の界面にしみ込み易く、歩留りを大きく低下させる原因となつている。

エッティング液の界面への浸入を防ぐために、付着力の強い無機化合物を保護膜とすることが考えられる。たとえば、塗化鉄酸膜で、FET表面を保護すれば良い。しかし、こうすると、裏面をエッティングした後、保護膜を除去するために、弗素を含んだ薬液や反応性の強いガスを使用しなければならない。これらの薬液、ガスによつて、基板裏面のFETを劣化させる危険性がある。必ずしも最良の方法とはいえない。

(ク) 薄片化工程を最初に行う方法

半導体素子製造工程の最初に薄片化工程を行うこともできる。こうすれば、保護膜を必要とせず、エッティング液により、表面の素子が劣化するという惧れがない。

次し、簡易な手法で、歩留りの高い結晶基板の補強法を与える。

本発明は、半導体結晶ウエハをまず薄片化し、裏面に或は側面に、又は裏面と側面に、有機樹脂膜或はこれに無機化合物膜を附加した複合膜を補強膜として被覆させるものである。補強膜をつけたまま素子を作製し、素子が完成すると、補強膜を除去する。

(オ) 第1の実施例

以下、実施例によつて説明する。

第3図(a)～(d)は半導体素子製造工程を示す断面図である。

ウエハは直径2インチのGaAs結晶基板で、初期の厚みは400μmであつた。

NH₄OHとH₂O₂の混合水溶液を使って、ウエハの両面を同時にエッティングし、180μmの厚さに薄片化した。

エッティングすることにより、薄片化と同時に、結晶ウエハ表面に残存する加工歪層や残留応力を除去する、という効果もある。第3図(e)は、開

片化した後のウェハ^{1'}を示している。

薄片化された結晶ウェハ^{1'}の裏面に、ポリイミド樹脂を、回転塗布と焼成とを5回繰返すことにより、厚さ20μmの補強膜⁹を形成した。

耐熱性、耐衝撃性に優れた補強膜である。第3図(b)は補強膜⁹を裏面に形成した状態を示す。

続いて、フォトリングラフィとイオン注入及びリフトオフの工程を4工程経ることにより、FETを製作した。第3図(c)はこの状態を示す。

次に、薄片化結晶^{1'}のFETの製作された表面に窒化硅素膜よりなる保護膜⁶を形成する。

さらに、O₂プラズマにより裏面のポリイミド樹脂の補強膜⁹を除去する。第3図(d)はこの状態を示す。

これで、FETをウェハ上に作製できたので、チップ毎に細分化し、組立工程に移る。

(カ) 効果

この実施例では、計5回のフォトリングラフィ工程を行つた。裏面に補強膜を作つておくことにより、ウェハの破損率は、補強膜のないときに比

べて、 $\frac{2}{5}$ に低減した。

ウェハは、フォトリングラフィ工程で、マスクとウェハを密着させたときに割れことが多い。特にウェハ端部の欠けや傷が原因となつて、劈開するケースが殆どである。

これに対して、本発明のウェハ補強法では、ウェハ裏面及び側面を樹脂膜で被覆することにより、ウェハ端部の欠けや傷の発生を防ぐ効果があり、これが劈開を防ぎ、破損率を改善しているものと考えられる。

第2図に示したガラスの補強基板⁸に貼付ける方法に比しても、ウェハ破損率は $\frac{1}{3}$ に減少している。

ガラスの補強基板は厚すぎて剛性が高く容易に変形しないから、ウェハの変形に対しガラス基板は追随できず、補強効果が少ないと考えられる。

本発明の補強膜はウェハに応じて変形することができる。ウェハに加わる外力を緩衝する作用がある。緩衝作用があるので、補強効果が向上する。

(キ) 第2の実施例

補強膜として有機樹脂膜の他に無機化合物の被膜を用いる事もできる。これによつて耐薬品性を向上させることができる。

第4図(a)は、本発明を実施するための第2の例を示すウェハの断面図で、第1の実施例の第3図(b)に対応する。

ウェハ裏面をエッティングして薄片化する点は同じである。

薄片化ウェハ^{1'}の裏面に第1層として、ポリイミド樹脂膜¹⁰を、前例と同じ手法で20μmの厚さに形成した。さらに、第2層として、プラズマCVD法により窒化硅素膜¹¹を1μmの厚さに形成してある。ポリイミド樹脂膜¹⁰と窒化硅素膜¹¹の複合体で補強膜⁹を構成する。

この後、ウェハ表面にFETを製作する。

FETの上に窒化硅素膜¹³と、さらにフォトレジスト膜¹⁴によつて保護膜⁶を形成する。第4図(b)はこの状態を示すウェハの断面図の1チップ分を示す。

次に、CF₄プラズマエッティングで、裏面の窒化硅素膜¹¹を除去する。

さらに、O₂プラズマで表面のフォトレジスト膜¹⁴と裏面のポリイミド樹脂膜¹⁰を除去する。

この後、ウェハを1チップごとに分割し、素子組立工程に入る。

(ク) 適用範囲

本発明は、薄片化されたウェハの裏面に、有機樹脂膜或は無機化合物膜、もしくは両者の複合膜を形成し、ウェハを補強し、劈開を防ぐものである。

補強膜材料としては、ポリイミド樹脂、窒化硅素膜を例として挙げた。ポリイミド樹脂はアルカリに弱いが、窒化硅素膜を附加すると、耐アルカリ性を向上させることができる。これにより、工程上の制約を著しく軽減できた。

補強膜としては、前2者の他に、厚膜を形成できる有機樹脂膜、又は耐薬品性に優れた無機化合物膜などを用いることができる。

ウェハは、GaAsに限らず、Si、Ge、GaP、InPその

他のⅢ-V族化合物半導体単結晶、或はCdSe、CdSその他のⅣ-VI族化合物半導体単結晶であつても良い。

ウエハに製作すべき素子もFETに限らず、バイポーラトランジスタ、ダイオードなどよりなる素子であつてもよい。

補強膜はウエハの裏面だけでなく、円周に沿つた側面に附けてもよい。裏面と側面の両方に附着させることもできる。

4 図面の簡単な説明

第1図は公知のGaAs-FETの製造工程を示す断面図である。ウエハのままの状態であるが、簡単のため1チップ分だけを図示した。左右に同じ断面が繰返して表われる。(a)はウエハに動作層を設けた状態、(b)は動作層の上にソース、ドレイン、ゲート電極を設けた状態、(c)は電極を被覆する表面保護膜を形成した状態、(d)は、ウエハ裏面をエッティング除去した状態を示す。

第2図は薄片化したウエハを補強用基板に貼付けて補強する従来の方法を示す基板、ウエハの断

面図。

第3図は本発明の実施例に係るウエハ補強法の各状態を示すウエハの断面図。(a)は薄片化した結晶ウエハの断面図。ウエハのまま処理する工程であるが簡単のため、1チップ分だけの断面を示した。同一形状が左右に繰返し現われる。(b)は薄片化ウエハの裏面に補強膜を形成した状態を示す断面図。(c)はウエハ裏面にFETを作型した状態の断面図。(d)は表面に保護膜を形成し、裏面の補強膜を除去した状態を示す断面図。

第4図は他の実施例にかかるウエハ補強法の状態を示すウエハの断面図。ウエハのまま処理される工程であるが、簡単のため、1チップ分だけの断面を示した。

- | | | |
|----|-------|--------|
| 1 | | 基板ウエハ |
| 1' | | 薄片化ウエハ |
| 2 | | 動作層 |
| 3 | | ソース電極 |
| 4 | | ドレイン電極 |
| 5 | | ゲート電極 |

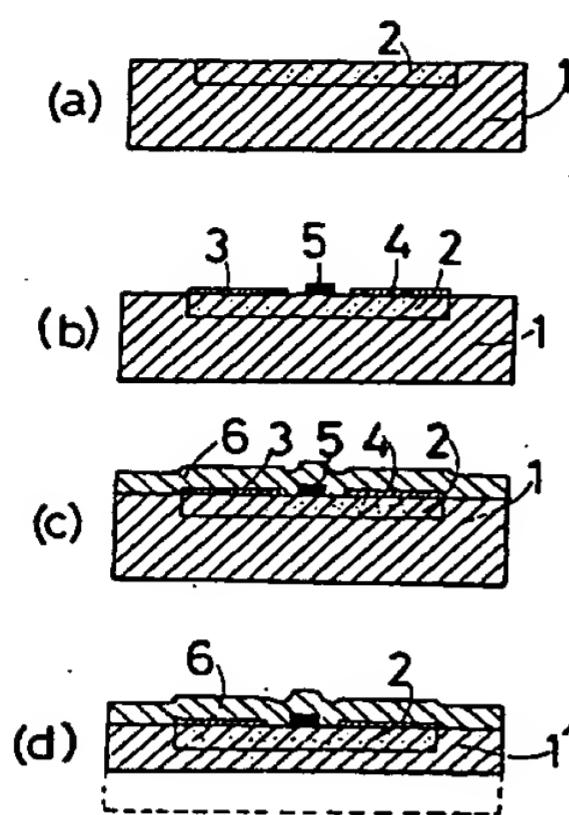
- | | | |
|----|-------|----------|
| 6 | | 表面保護膜 |
| 7 | | 接着剤 |
| 8 | | 補強用基板 |
| 9 | | 補強膜 |
| 10 | | ポリイミド樹脂膜 |
| 11 | | 塗化硅素膜 |
| 13 | | 塗化硅素膜 |
| 14 | | フォトレジスト膜 |

発明者 江畑敏樹

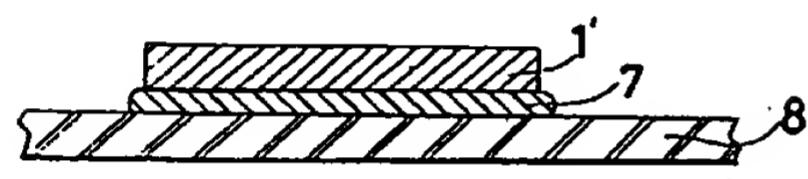
特許出願人 住友電気工業株式会社

出願代理人 弁理士 川瀬茂

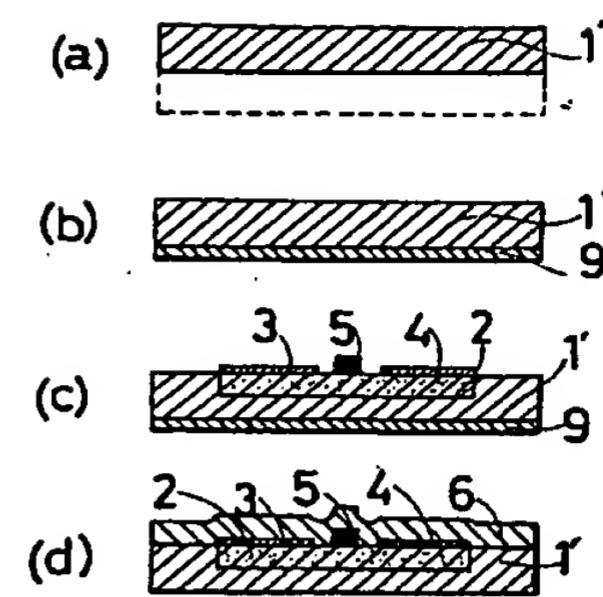
第1図



第2図



第3図



第4図

